

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-046374

(43)Date of publication of application : 18.02.1994

(51)Int.Cl.

H04N 5/95

(21)Application number : 04-199886

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.07.1992

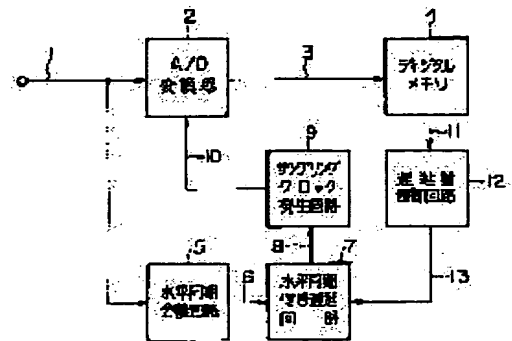
(72)Inventor : OZAKI YASUHIKO

(54) PICTURE SIGNAL FETCH CIRCUIT

(57)Abstract:

PURPOSE: To fetch picture signals with high accuracy by analyzing picture data on a digital memory, detecting the phase difference between a dot clock and a sampling clock and correcting lag quantity.

CONSTITUTION: Input picture signals 1 are converted into digital picture signals 3 by an A/D converter 2 to be stored in the digital memory 4 and a horizontal synchronizing separator circuit 5 extracts horizontal synchronizing signals 6 from the signals 1. A sampling clock generation circuit 9 generates the sampling clock 10 synchronized with the horizontal synchronizing signals 8 for which the signals 6 are delayed by a horizontal synchronizing signal delay circuit 7 to be supplied to the converter 2. Also, digital picture data stored in the memory 4 are taken out and analyzed by a lag quantity control circuit 12 constituted of a CPU or the like and lag quantity control signals 13 are generated. The circuit 7 corrects the lag quantity so that the phases of the dot clock and the sampling clock match based on the signals 13. Thus, the picture signals can be fetched with high accuracy.



LEGAL STATUS

[Date of request for examination] 14.05.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2980456

[Date of registration] 17.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-46374

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl.⁵

H 0 4 N 5/95

識別記号

庁内整理番号

A 4227-5C

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-199886
(22)出願日 平成4年(1992)7月27日

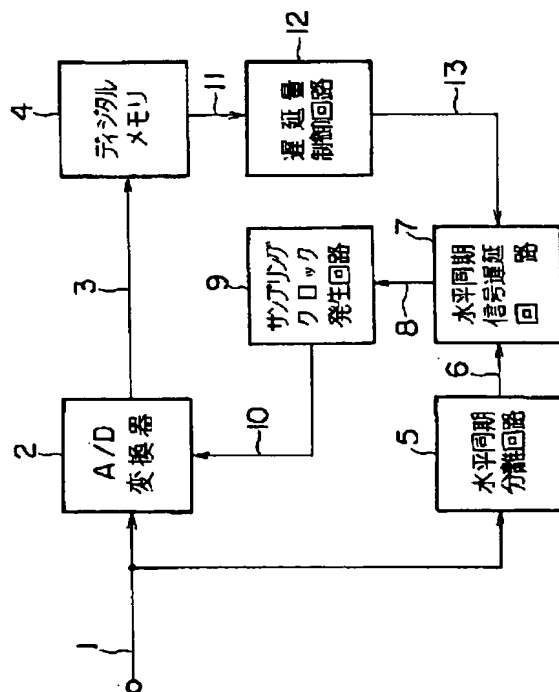
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 尾崎 安彦
長岡京市馬場園所1番地 三菱電機株式会
社京都製作所内
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 画像信号取り込み回路

(57)【要約】

【構成】 画像信号をデジタルメモリ4に取り込む回路に関するもので、デジタルメモリ4上のデジタル画像データをCPUなどの遅延量制御回路12により分析し、水平同期信号遅延回路7を制御して、ドットクロックとサンプリングクロックの位相が合うように遅延量を補正する。

【効果】 画像信号を高精度に取り込むことができる。



(2)

1

【特許請求の範囲】

【請求項1】 入力された画像信号をA/D変換するA/D変換器と、前記入力画像信号より同期信号を取り出す水平同期信号分離回路と、この水平同期信号分離回路によりぬき出された水平同期信号を遅延する水平同期信号遅延回路と、この水平同期信号遅延回路により遅延された水平同期信号に同期した前記A/D変換器用のサンプリングクロックを発生するサンプリングクロック発生回路と、前記A/D変換器によりA/D変換された画像信号をたくわえるデジタルメモリと、このデジタルメモリの内容に基づいて前記水平同期信号遅延回路の遅延量を制御する遅延量制御回路とを備えた画像信号取り込み回路。

【請求項2】 入力された画像信号をA/D変換するA/D変換器と、入力された水平同期信号を遅延する水平同期信号遅延回路と、この水平同期信号遅延回路により遅延された水平同期信号に同期した前記A/D変換器用のサンプリングクロックを発生するサンプリングクロック発生回路と、前記A/D変換器によりA/D変換された画像信号をたくわえるデジタルメモリと、このデジタルメモリの内容に基づいて前記水平同期信号遅延回路の遅延量を制御する遅延量制御回路とを備えた画像信号取り込み回路。

【請求項3】 入力された画像信号をA/D変換するA/D変換器と、入力された水平同期信号に同期したサンプリングクロックを発生するサンプリングクロック発生回路と、このサンプリングクロック発生回路により生成されたサンプリングクロックを遅延するサンプリングクロック遅延回路と、前記A/D変換器によりA/D変換された画像信号をたくわえるデジタルメモリと、このデジタルメモリの内容に基づいて前記サンプリングクロック遅延回路の遅延量を制御する遅延量制御回路とを備えた画像信号取り込み回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、画像信号を画像用のデジタルメモリに取り込む画像信号取り込み回路に関するものである。

【0002】

【従来の技術】従来の画像信号取り込み回路の構成について図7を参照しながら説明する。図7は、従来の画像信号取り込み回路を示すブロック図である。

【0003】図7において、1は入力画像信号で、この入力画像信号1をA/D変換器2によりデジタル画像信号3に変換し、デジタルメモリ4にたくわえる。また、入力画像信号1から水平同期信号分離回路5により水平同期信号6をぬきだし、水平同期信号遅延回路7により遅延した水平同期信号8をサンプリングクロック発生回路9に入力して、サンプリングクロック10を発生して、A/D変換器2に使用する。ここで、水平同期信号

2

遅延回路7の遅延量は遅延量制御信号13を操作することにより制御可能である。

【0004】次に、従来の画像信号取り込み回路の動作について説明する。所定のサンプリングレート（このサンプリングレートのことをドットクロックとする。）でD/A変換された画像信号で、同期信号が重量されている入力画像信号1を、A/D変換器2により、サンプリングクロック10で、デジタル画像信号3に変換する。このとき、サンプリングクロック10は入力画像信号1のドットクロックに等しいものを使用する。

【0005】また、サンプリングクロック10は、入力画像信号1を水平同期信号分離回路5により分離した水平同期信号6を水平同期信号遅延回路7により遅延して、遅延した水平同期信号8を使用して、サンプリングクロック発生回路9により、遅延水平同期信号8に同期するようにつくっている。入力画像信号1のドットクロックの位相と、サンプリングクロック10の位相が合っているかを、デジタルメモリ4の中身をD/A変換器15等によりモニタ17に出して確認する。

【0006】双方の位相が合っていない場合は、モニタ17上の画像の鮮鋭度が失われるとか、ノイズが発生する。その場合、遅延量制御信号13を変化することにより、遅延された水平同期信号8の遅延量を変えて、サンプリングクロック発生回路9によりそれに同期して発振する、サンプリングクロック10の位相を変化させる。この遅延量制御信号13の調整をモニタ17を見ながら行う。

【0007】

【発明が解決しようとする課題】従来の画像信号取り込み回路は以上のように構成されているので、ドットクロックの位相とサンプリングクロック10の位相を合わせるために、モニタ17で確認して人手で遅延量制御信号13を調整する必要があった。そのため、モニタや、調整する人のちがいがいにより、調整量がばらつくという問題点と、温度ドリフト等の位相の変化に対しては、いちいち人手で設定しなおさなければならないという問題点があった。

【0008】この発明は、上記のような問題点を解消するためになされたもので、モニタを見ることなく、自動的にドットクロックとサンプリングクロックの位相を合わせることができる画像信号取り込み回路を得ることを目的としています。

【0009】

【課題を解決するための手段】この発明の請求項1に係る画像信号取り込み回路は、次に掲げる手段を備えたものである。

【1】 入力された画像信号をA/D変換するA/D変換器。

【2】 前記入力画像信号より同期信号を取り出す水平同期信号分離回路。

(3)

3

〔3〕 この水平同期信号分離回路によりぬき出された水平同期信号を遅延する水平同期信号遅延回路。

〔4〕 この水平同期信号遅延回路により遅延された水平同期信号に同期した前記A/D変換器用のサンプリングクロックを発生するサンプリングクロック発生回路。

〔5〕 前記A/D変換器によりA/D変換された画像信号をたくわえるデジタルメモリ。

〔6〕 このデジタルメモリの内容に基づいて前記水平同期信号遅延回路の遅延量を制御する遅延量制御回路。

【0010】この発明の請求項2に係る画像信号取り込み回路は、次に掲げる手段を備えたものである。

〔1〕 入力された画像信号をA/D変換するA/D変換器。

〔2〕 入力された水平同期信号を遅延する水平同期信号遅延回路。

〔3〕 この水平同期信号遅延回路により遅延された水平同期信号に同期した前記A/D変換器用のサンプリングクロックを発生するサンプリングクロック発生回路。

〔4〕 前記A/D変換器によりA/D変換された画像信号をたくわえるデジタルメモリ。

〔5〕 このデジタルメモリの内容に基づいて前記水平同期信号遅延回路の遅延量を制御する遅延量制御回路。

【0011】この発明の請求項3に係る画像信号取り込み回路は、次に掲げる手段を備えたものである。

〔1〕 入力された画像信号をA/D変換するA/D変換器。

〔2〕 入力された水平同期信号に同期したサンプリングクロックを発生するサンプリングクロック発生回路。

〔3〕 このサンプリングクロック発生回路により生成されたサンプリングクロックを遅延するサンプリングクロック遅延回路。

〔4〕 前記A/D変換器によりA/D変換された画像信号をたくわえるデジタルメモリ。

〔5〕 このデジタルメモリの内容に基づいて前記サンプリングクロック遅延回路の遅延量を制御する遅延量制御回路。

【0012】

【作用】この発明においては、遅延量制御回路により、デジタルメモリに取り込んだデジタル画像データからドットクロックとサンプリングクロックの位相誤差が検出されて、遅延量に変化させられる。すなわち、デジタルメモリ上のデジタル画像データを遅延量制御回路により分析して、水平同期信号遅延回路あるいはサンプリングクロック遅延回路を制御して、ドットクロックとサンプリングクロックの位相が合うように遅延量を変化するようにしたものである。

【0013】

【実施例】実施例1. 以下、この発明の実施例1の構成

4

について図1を参照しながら説明する。図1は、この発明の実施例1を示すブロック図である。

【0014】図1において、入力画像信号1～サンプリングクロック10及び遅延量制御信号13は、前述した従来回路と同様のため、相当部分に同一の符号を付して、それらの詳しい説明は省略する。

【0015】デジタルメモリ4によりデジタル画像データ11を取り出し、CPU等から構成される遅延量制御回路12にて分析して、遅延量制御信号13をつくらせて、水平同期信号遅延回路7を制御する。

【0016】次に、この発明の実施例1の動作について図2、図3及び図4を参照しながら説明する。図2は、実施例1によるmライン目を2回メモリに取り込んだときの画像データを示す図である。また、図3は、実施例1による異なる個数と遅延量の関係を示す図である。さらに、図4は、実施例1の動作を示すフローチャートである。

【0017】入力画像信号1のmライン目を2回ほどメモリして、2回の間の画素データを比べる。図2に示す場合、1回目と2回目で2箇所異なる画素が存在する。この異なる箇所の個数は、図3に示すとおり、遅延量を変化させて、ある遅延量+bにて2回メモリしなおすと、最小値の0となる。現在の遅延量0より遅延量を正負にふってやり、異なる個数が小さくなるよう、遅延量を変化させていく。

【0018】図4は、最小の異なる個数となる遅延量を求めるフローチャートを示した。まず、遅延量 L_1 と L_2 ($=L_1+\Delta L$)での異なる個数を求めて(ステップ18～19)、どちらの方向に遅延量を変化させるか、ステップ20にて判断している。

【0019】ステップ25において、異なる個数の減る方向に遅延量を変えていっている。そして、最小値を越えたかどうかステップ26にて判断を行う。最小値を越えて異なる個数が増した時点の前のL値が、ドットクロックとサンプリングクロックの位相誤差が最小となる遅延量となる。

【0020】この場合の方法は、位相誤差により発生するノイズにより、同じラインを再度サンプリングしても異なる値になることを条件としている。再度サンプリングして異なる値になる場合、定常的なノイズによる場合もあるので、すべての値で判断するのではなく、適度なしきい値をもうけて、ある値以上の差が発生したときに異なるとして、同様の処理を行うことも可能である。

【0021】この発明の実施例1は、前述したように、画像信号をデジタルメモリ4に取り込む回路に関するもので、デジタルメモリ4上のデジタル画像データをCPUなどの遅延量制御回路12により分析し、水平同期信号遅延回路7を制御して、ドットクロックとサンプリングクロックの位相が合うように遅延量を補正するので、画像信号を高精度に取り込むことができるという

(4)

5

効果を奏する。

【0022】なお、デジタルメモリ4は、A/D変換器2によりA/D変換された画像信号を数ライン分たくわえるデジタルメモリでもよい。

【0023】実施例2。図5に示すように、入力画像信号1に水平同期信号が重畳されない場合、すなわち外部より水平同期信号6aが与えられる場合には、水平同期分離回路5は不要であり、水平同期信号遅延回路7は外部から入力される水平同期信号6aを遅延する。

【0024】実施例3。上記各実施例では水平同期信号を遅延制御していたが、図6に示すように、サンプリングクロックを遅延制御しても同様の作用効果を奏する。すなわち、サンプリングクロック発生回路9aは、外部から入力された水平同期信号6aに同期してサンプリングクロックを発生し、サンプリングクロック遅延回路7aは、サンプリングクロックを遅延量制御信号13に基づいて遅延する。

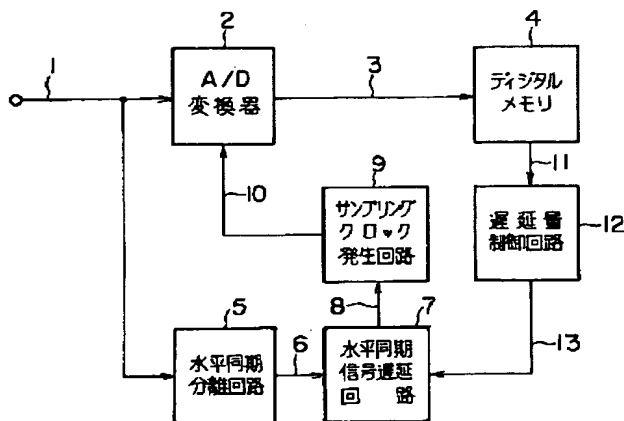
【0025】

【発明の効果】この発明は、以上説明したように、デジタルメモリ上の画像データを分析することによりドットクロックとサンプリングクロックの位相誤差を検出し、遅延量を補正するように構成したので精度のよい画像信号の取り込みが可能になるという効果を奏する。

【図面の簡単な説明】

【図1】この発明の実施例1を示すブロック図である。

【図1】



6

【図2】この発明の実施例1による、mライン目を2回メモリに取り込んだときの画像データを示す図である。

【図3】この発明の実施例1による異なる個数と遅延量の関係を示す図である。

【図4】この発明の実施例1の動作を示すフローチャートである。

【図5】この発明の実施例2を示すブロック図である。

【図6】この発明の実施例3を示すブロック図である。

【図7】従来の画像信号取り込み回路を示すブロック図である。

【符号の説明】

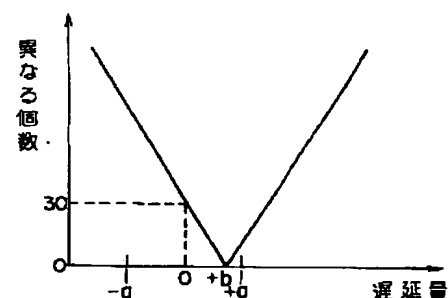
- 1 入力画像信号
- 2 A/D変換器
- 3 デジタル画像信号
- 4 デジタルメモリ
- 5 水平同期分離回路
- 6 水平同期信号
- 7 水平同期信号遅延回路
- 8 遅延した水平同期信号
- 9 サンプリングクロック発生回路
- 10 サンプリングクロック
- 11 デジタル画像データ
- 12 遅延量制御回路
- 13 遅延量制御信号

【図2】

画素No. mライン メモリ回数	1	2	3	4	5	n max
1	10	15	13	13	25		32
2	10	15	10	13	20		35

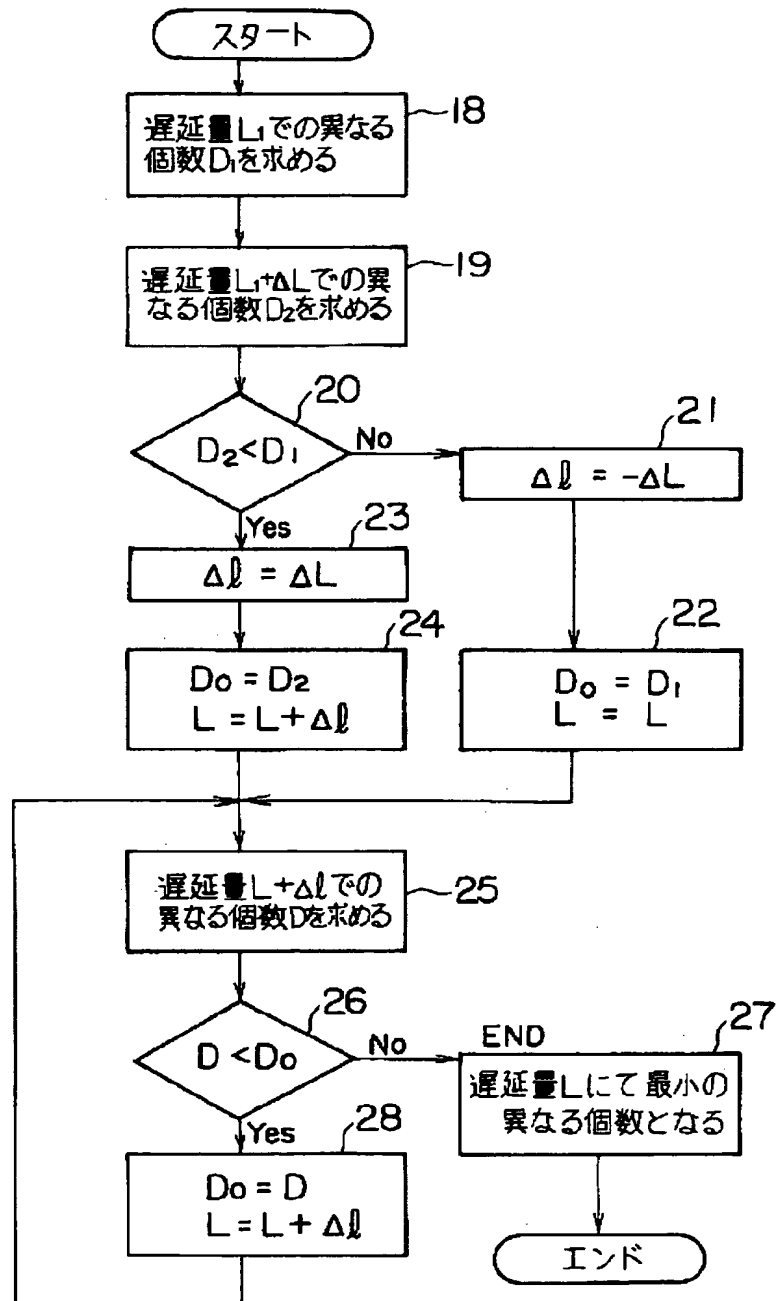
異なる箇所 1 2 30

【図3】



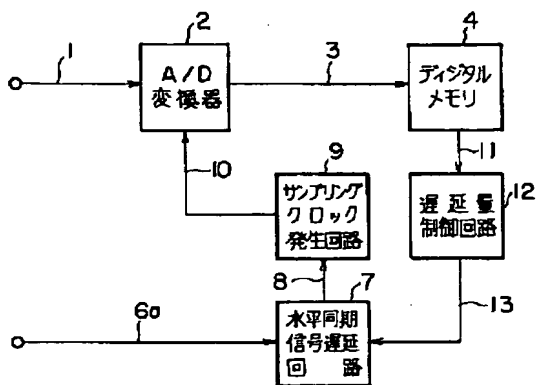
(5)

【図4】

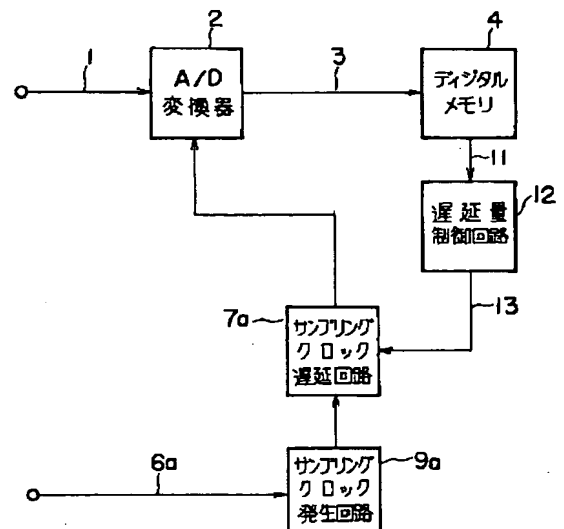


(6)

【図5】



【図6】



【図7】

